

[Web](#) [Images](#) [Videos](#) [Maps](#) [News](#) [Shopping](#) [Gmail](#) [more ▼](#)[Help](#)

Google translate

Translation

Translate text, webpages and documents

Translated Search

Enter text or a webpage URL, or upload a document.

Translator Toolkit

발광 다이오드 제조방법

Tools and Resources

필립스 루미리즈 라이팅 캠페인 웹페이지

발광 다이오드(LED) 제조 방법은 원하는 기계적 특성을 갖는 LED 층의 제조에 적합하도록 선택된 임시적 성장 기판 (temporary growth substrate)을 제공하는 단계를 포함한다. 예를 들면, 격자 정합(lattice matching)은 중요한 고려 사항이다. 그 다음, LED 층을 임시

Translate from: Korean

Translate into: English

Translate

Korean to English translation

Light Emitting Diode Manufacturing

Loomis, Liz Philips Lighting LLC kampani

Light-emitting diode (LED) manufacturing methods with the desired mechanical properties suitable for the manufacture LED layer growth substrate chosen to temporarily (temporary growth substrate) includes steps to provide. For example, lattice matching (lattice matching) is an important consideration. Then, LED layers grown on a temporary growth substrate, achieving high quality decisions, and then the growth substrate can be removed temporarily. Next, the wafer using the combined technique combines 2nd floor of the LED board. The two boards rather than the mechanical properties are selected for optical properties. 2nd optical transparent substrate, and conducting an adult is recommended. Wafer bond techniques 2nd floor, between the substrate and the LED in order to achieve low resistance connections are performed. In addition, the combination wafer passivation (passivation) or photochemical provide four or current flow can be done to define.

[Contribute a better translation](#)

Football fever? Speak soccer in any language with Google Translate. [Learn more!](#)

©2010 Google - [Turn off instant translation](#) - [Privacy Policy](#) - [Help](#)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶
H01L 33/00

(45) 공고일자 2002년08월24일
(11) 등록번호 10 - 0338180
(24) 등록일자 2002년05월14일

(21) 출원번호 10 - 1994 - 0005398 (65) 공개번호 특1994 - 0022932
(22) 출원일자 1994년03월18일 (43) 공개일자 1994년10월22일

(30) 우선권주장 036,532 1993년03월19일 미국(US)
(73) 특허권자 루미리즈 라이팅 유에스 엘엘씨
미국 캘리포니아주 95131 - 1008 산 호세 웨스트 트림블 로드 370
(72) 발명자 프레드에이.키쉬
미합중국캘리포니아95131산조세레이크쉬어씨클1372
버지니아엠.로빈스
미합중국캘리포니아95030로스가토스그린우드드라이브17963
프랭크엠.스테란카
미합중국캘리포니아94303산조세그랜드드라이브오7086
존우에빙
미합중국캘리포니아94306팔로앨토타원웨이665
데니스씨.더페버
미합중국캘리포니아94303팔로앨토매덕스드라이브1043
(74) 대리인 김창세
장성구

심사관 : 김동엽

(54) 발광 다이오드 제조방법

요약

발광 다이오드(LED) 제조 방법은 원하는 기계적 특성을 갖는 LED 층의 제조에 적합하도록 선택된 일시적 성장 기판(temporary growth substrate)을 제공하는 단계를 포함한다. 예를 들면, 격자 정합(lattice matching)은 중요한 고려 사항이다. 그 다음, LED 층을 일시적 성장 기판 위에 성장시켜, 높은 결정 품질을 달성하며, 그 후 일시적 성장 기판은 제거될 수 있다. 다음, 웨이퍼 결합 기법을 이용하여 제 2 기판을 LED 층에 결합한다. 제 2 기판은 기계적인 특성보다는 오히려 광학적인 특성을 위해 선택된다. 제 2 기판은 광학적 투과성이고, 전도성인 것이 바람직하다. 웨이퍼 결합 기법은 제 2 기판과 LED 층 사이에 낮은 저항 접촉을 달성하기 위해 수행된다. 또한, 웨이퍼 결합은 패시베이션(passivation) 또는 광반사를 제공하거나, 전류 흐름을 정의하기 위해 수행될 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

- 제 1 도는 종래 기법에 따른 흡수성 기판을 갖는 단일 이중접합 LED 소자에 대한 측면도,
제 2 도는 종래 기법에 따른 흡수성 기판을 갖는 이중 이중접합 LED 소자에 대한 측면도,
제 3 도는 종래 기법에 따른 투과성 기판을 갖는 이중 이중접합 LED 소자에 대한 측면도,
제 4 도는 본 발명에 따라서 일시적 성장 기판을 갖는 이중 이중접합 LED 소자에 대한 측면도,
제 5 도는 제 4 도에서 성장 기판을 제거한 LED 구조의 측면도,
제 6 도는 웨이퍼 결합 기법을 이용하여 영구적인 기판을 부착한 제 5 도의 LED 구조의 측면도,
제 7 도는 양면에 전극을 갖는 제 6 도의 LED 구조의 측면도,
제 8 도는 웨이퍼 결합에 의해 제조된 또 다른 LED의 측면도,
제 9 도는 웨이퍼 결합 기판이 제 4 도의 소자에 부착된 제 3 실시예의 측면도,
제 10 도는 웨이퍼 결합 기판이 상기 제 5 도의 LED 구조에 부착된 또 다른 실시예의 측면도,
제 11 도는 웨이퍼 결합 기법에 의해 미리(mirror)에 부착된 제 5 도의 LED 구조의 측면도,
제 12 도는 적층형 LED의 측면도,
제 13 내지 17 도는 웨이퍼 결합되는 패터닝된 층들을 이용하는 LED 소자들의 측면도,
제 18 도는 본 발명의 단계들을 수행하기 위한 웨이퍼 결합 장치의 분해도,
제 19도는 제 18 도 장치의 작동을 위한 온도 프로파일의 그래프,
제 20 도는 본 발명의 단계들을 수행하기 위한 또 다른 장치의 개략도,
제 21 도 및 제 22 도는 제 20 도의 장치와 함께 사용하기 위한 흑연 부재의 상이한 실시예들을 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

32, 34, 36, 38 : LED 층 40 : LED 구조

44, 46, 154, 156 : 전극 56, 58 : 접착 금속물

60 : 미리 74 : 상부 전극

76 : 하부 전극 126 : 패터닝된 반도체 웨이퍼

142 : 스폿 에미터 84, 86, 96, 98, 116, 118 : 흑연 부재

90, 100 : 정렬 핀 92 : 수정관

94 : 반응 장치 102 : 화로관

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전반적으로 발광 다이오드(light emitting diode; LED)에 관한 것으로, 보다 구체적으로는 발광 다이오드의 제조 방법에 관한 것이다.

LED는 다양한 응용 분야에 사용된다. 예를 들면, 광학 데이터 전송에 있어서, LED는 광섬유 케이블을 따라 데이터 신호를 보내는데 이용된다.

레이저와는 달리, LED는 양호하게 집중된 광빔을 생성하지 않으며, 그보다는 모든 방향으로 광을 방사한다. 즉, 광의 방출은 등방적이다. 많은 종래 LED의 층들은 LED 활성 영역의 방출 에너지보다 작은 에너지 갭(energy gap)을 갖는 광학적 흡수성 기판(optically absorbing substrate) 위에 성장된다. 이 기판은 활성 영역에서 발생하는 광의 일부를 흡수하므로, LED 소자의 효율이 감소된다. 종래 기술에 의한 단일 이종접합형(single heterojunction type) 알루미늄 갈륨 비소(aluminium gallium arsenide; AlGaAs) LED의 예가 제 1 도에 도시되어 있다. p-도핑형 AlGaAs의 에피택셜층(epitaxial layer)(10)과 n-도핑형 AlGaAs의 에피택셜층(12)이 p-도핑형 GaAs 기판(14)의 표면 위에 성장된다. 에피택셜층(10)과 층(12)의 접합부를 통하는 전류 전도에 의해 광이 발생될 것이다. 그러나, 흡수성 기판(14)의 에너지 갭은 방출 에너지보다 작기 때문에, 방출되거나 기판(14)을 향해 아래로 내부 반사된 광은 흡수될 것이다.

제 2 도는 흡수성 기판(16) 위의 이중 이종접합 AlGaAs LED를 도시한 것이다. n-도핑형 AlGaAs의 에피택셜층(18)과 두 개의 p-도핑형 AlGaAs의 층(20 및 22)이 흡수성 기판(16) 위에 성장된다. 에피택셜층(18-22)의 밴드갭(bandgap)은 활성층(active layer)(20) 내에 광이 발생되어, 흡수됨이 없이 에피택셜층(18 및 22)을 통과하도록 선택된다. 그러나, 기판(16)에서는 광이 흡수된다.

LED 활성 영역의 방출 에너지보다 큰 에너지 갭을 갖는 투과성 기판을 사용하면 성능이 향상될 수 있다. 투과성 기판의 효과는 하향 방출 광이 흡수되는 것을 방지한다. 오히려, 광은 투과성 기판을 통과하고 하부의 금속 접촉물(metal adhesive) 및 반사컵(reflecting cup)으로부터 반사된다. 그 다음, 반사된 광은 칩(chip)의 에지나 상부로부터 방출되어 LED의 효율을 실질적으로 향상시킨다.

투과성 기판을 갖는 LED의 제조 방법으로는 여러 가지 기법이 있다. 첫 번째 기법은 투과성 기판 위에 p-n 접합을 에피택셜 성장시키는 것이다. 그러나, 이러한 기법이 가지고 있는 문제는 수용 가능한 격자 정합(lattice matching)이 어렵다는 것이며, 격자 정합은 LED 에피택셜층의 격자 상수에 따라 달라진다. 두 번째 기법은 나중에 제거되는 흡수성 기판 위에 LED 에피택셜층을 성장시키는 것이다. 예를 들면, 제 3 도에서 n-도핑형 투과성 기판(24)과 p-도핑형 에피택셜층(26 및 28)을 도시되지 않은 흡수성 기판 위에 에피택셜 성장시킨다. 투과성 "기판"(24)은 격자 정합된 흡수성 기판 위에 75 μ m보다 두꺼운 두께의 광학적으로 투과성이고, 전도성인 에피택셜층을 성장시키는 것에 의해 제조된다. 그 다음, 다른 층(26 및 28)을 에피택셜 "기판"(24) 위에 성장시키고 흡수성 기판을 제거한다.

이와 달리, 보다 두꺼운 투과성 "기판(24)" 이전에 보다 얇은 층(26 및 28)이 성장될 수 있다.

전술한 투과성 기판을 갖는 LED의 제조 기법들은 고유의 단점으로 인해 어려움을 겪는다. 첫 번째로, 광학적으로 투과성이고 전도성인 "두꺼운" "기판"의 에피택셜 성장은 소정 반도체 재료들에 대해 어떤 성장 기법들을 사용할 때 실용적일 수 없거나, 또는 불가능할 것이다. 두 번째로, 가능하다고 하는 경우에도, "두꺼운" 에피택셜층을 위해서는 오랜 성장 시간이 요구되므로, LED의 수율이 제한된다. 세 번째로, 흡수성 기판 제거후의 LED 층은, 예를 들어, 대략 3-6 mil 정도와 같이 상대적으로 얇아지는데, 얇은 웨이퍼들은 파손없이 다루기가 힘들어, 제조가 더욱 힘들게 된다. 또한, 얇은 웨이퍼들은 LED 패키지 내에 웨이퍼를 장착하는 동안 어려움을 발생시킨다. 은이 첨가된 에폭시(silver-loaded epoxy)는 전형적으로 LED 소자 하부의 장착 및 접촉에 이용된다. 그러나, 이 에폭시는 얇은 웨이퍼의 에지를 넘어 흐르는 경향이 있으며, 이로 인해 LED가 단락될 수도 있다. 또한, 얇은 웨이퍼들은 적어도 10mil 두께의 두꺼운 기판 위에 성장되는 제 1 도와 제 2 도의 소자만큼 기계적으로 강건하지 못한다. 이와 같은 "얇은" LED들은 에폭시 램프 안에 장착될 때 소자 고장의 문제를 증폭시킬 것이다. 따라서, 이러한 두번째 기법이 사용될 때 모순되는 두께 문제가 발생하는데, 이는 상기 투과성 층이 실제의 결정 성장 공정시에는 너무 두껍고 소자 응용시에는 너무 얇기 때문이다.

결과적으로, 흡수성 기판의 선택이나 투과성 기판의 선택과 관련하여 상호 절충(tradeoff)이 존재할 것이다. 성장 및 제조 기법에 따라서 흡수성 기판을 갖는 LED가 투과성 기판을 갖는 LED에 비해 우수한 기계적 특성을 가질 수도 있으나, 흡수성 기판 LED는 일반적으로 효율이 낮다. 효율의 증가는 투과성 기판의 이용에 의해 가능하나, 에피택셜층을 상이한 격자 상수를 갖는 투과성 기판 위에 성장시킬 때 격자 오정합(lattice mismatch)으로 인해 어려움을 겪을 수도 있다. 부가적으로, 상기 모순된 두께 문제는 "두꺼운" 투과성 "기판"의 에피택셜 성장시에도 직면하게 될 수 있다.

흡수층 또는 흡수성 기판의 영향은 표준 LED 에피택셜층과 흡수성 기판 사이의 브레그 반사기(Bragg reflector)를 성장시킴으로써 최소화될 수 있다. 브레그 반사기는 방출되는 광을 반사하거나 흡수성 기판쪽으로 내부 반사된 광을 반사할 것이기 때문에 효율이 향상된다. 그러나, 브레그 반사기는 거의 수직으로 입사하는 광만을 반사하기 때문에, 그러한 향상은 투과성 기판에 비하여 제한적이다. 수직 입사각으로부터 벗어난 광의 상당량은 반사되지 않고 기판을 통과하며, 기판에서 흡수된다. 더욱이, 브레그 반사기를 갖는 LED들은 제조가 더 어려운데, 이는 전형적으로 100 Å 정도의 두께를 갖는 많은 얇은 에피택셜층의 반복 성장이 요구되기 때문이다.

본 발명의 목적은 적어도 8mil의 "두꺼운" 기판의 바람직한 기계적 특성과 투과성 기판 LED의 바람직한 광학적 특성을 갖는 LED의 제조 방법을 제공하는 것이다.

상기 목적은 LED 층의 성장을 위해 최적화된 일시적 성장 기판을 이용하되, 이러한 기판의 에피택셜 성장 요구없이 성능이 향상된 기판을 제공하는 방법에 의해서 달성된다. 바람직한 실시예에 있어서, 이러한 성능 향상 기판은 웨이퍼 결합 기법을 이용하여 LED 층과 결합되는 투과성 부재(transparent member)이다. 이 투과성 층은 LED 층의 에피택셜 성장의 종료 시까지는 LED 층과 결합되지 않기 때문에, 투과성 기판과 에피택셜층의 격자 정합은 중요하지 않다.

상기 일시적 성장 기판은 원하는 기계적 특성을 갖는 LED 층 제조에 적합한 재료로 만들어진다. 예를 들면, 높은 결정 품질로 성장을 행하고 격자 정합을 최적화하기 위해, 표준 흡수성 기판 재료가 이용될 것이다. 그 다음, LED를 액상 에피택시(liquid phase epitaxy), 기상 에피택시(vapor phase epitaxy), 금속 유기화학 증착(metalorganic chemical vapor deposition) 및/또는 분자빔 에피택시(molecular beam epitaxy)를 비롯한 여러 다양한 방법 중 하나 이상의 방법을 이용하여 성장시킨다. LED 구조를 형성하는 LED 층은 발광 활성층, 상부 및 하부 경계층(confining layer), 전류 확산(current spreading) 및 광 추출층(light extracting layer)과 하나 이상의 버퍼층으로 구성될 수 있으나, 이것은 중요한 것이 아니다.

LED 구조의 성장에 따라서, 상기 일시적 흡수성 성장 기판은 고품질 에피택셜층의 형성을 가능하게 하는 자신의 목적을 완료한다. 흡수성 성장 기판은 LED 구조의 방출 에너지보다 작거나 또는 같은 에너지 갭을 갖기 때문에 그 성장 기판은 제거되는 것이 바람직하다. 이와 같은 소자의 에너지 갭과 방출 에너지 사이의 관계는 소자의 효율을 상당히 제한할 것이다. 일시적 성장 기판의 제거 방법이 중요하지 않은 한, 그 대안으로서 화학적 에칭, 래핑/폴리싱 (lapping/polishing), 반응성 이온 에칭 (reactive ion etching), 이온 밀링 (ion milling)을 사용할 수 있다. 성장 기판의 제거에는 흡수성 기판과 접촉하는 층의 일부분이나 모두를 제거하는 것도 포함될 수 있다.

그 다음, 제 2 기판을 상기 LED 구조에 웨이퍼 결합한다. 바람직한 실시예에 있어서, 제 2 웨이퍼는 전기적 도체로서 광학적으로 투과성이다. 흡수성 기판과 비교할 때, 투과성 기판은 성능 향상층이다, 웨이퍼 결합은 LED 구조의 최상층이나 최하층에서 행할 수 있다. 통상적으로, LED 소자는 LED 소자 p-n 접합의 적절한 바이어스를 위해 양단에 전극을 포함하며, 따라서 투과성 기판과 성장층 간의 접촉부 (interface)에서의 저항률 (resistivity)을 최소화하는 것이 중요하다. 인듐 (indium)을 포함하는 화합물을 이용하면 원하는 저항 (ohmic) 특성을 얻는데 도움이 된다. 인듐 함유 화합물 이외에도, 높은 표면 이동도 (surface mobility)와, 높은 확산도 (diffusivity) 및/또는 우수한 대량 전송 (mass transport) 특성을 갖는 (예를 들어, 수은 함유 (Hg-bearing) 화합물, 카드뮴 함유 (Cd-bearing) 화합물 및 아연 함유 (Zn-bearing) 화합물과 같은) 다른 화합물도 고체 상태 웨이퍼 결합 응용에 이용될 때 이점들을 제공할 것이다.

전술한 방법의 사용과 관련된 한 가지 중요한 것은 계속 이어지는 일시적 성장 기판의 제거 후에 남아있는 LED 구조가 예를 들어, 10 μ m보다 얇은 두께로 극히 얇아져 깨지기 쉽고 다루기가 어려워진다는 것이다. 제 2 실시예에 있어서, 일시적 성장 기판은 LED 구조의 최상층에 대한 상기 제 2 기판의 부착 후에만 제거된다. 제 2 기판의 에피택셜 성장의 이용이 아닌 제 2 기판의 웨이퍼 결합을 이용하면, 예를 들어, 8mil 이상의 두꺼운 기판의 부착이 가능하게 된다. 이러한 제 2 기판은 투과성 기판으로서, 이 기판은 광학적 추출과 전류 확산을 위한 성능 향상층으로서 작용하고/하거나 성장 기판 제거 단계와 성장 기판이 그로부터 제거되는 LED 구조의 면에 투과성 기판의 제 2 웨이퍼 결합 단계 동안 향상된 기계적 안전성을 얻기 위한 수단으로서만 작용한다. 만약, 기계적 안정성만이 필요하다면, 제 2 웨이퍼 결합 단계의 수행 후 제 2 기판은 제거될 수 있다.

상기 웨이퍼 결합 기법의 가장 분명한 용도는 광학적 흡수성 기판을 제거하고 광학적 투과성 기판으로 대체하는 것이기는 하지만, 이는 중요하지 않다. 일시적 성장 기판은 자신의 전류 확산 능력을 제한하는 낮은 전도성을 갖는 투과성 기판일 것이다. 이러한 기판은 LED의 효율을 크게 제한한다. 따라서, 보다 높은 전도성을 갖는 투과성 기판으로의 대체를 위한 일시적 투과성 성장 기판의 제거는 소자의 성능을 향상시킬 것이다. 이와 유사하게, 낮은 전도성을 갖는 흡수층은 보다 높은 전도성을 갖는 흡수층으로 대체될 것이다.

전술한 방법은 웨이퍼 결합층을 갖는 발광 반도체 소자를 형성한다. "웨이퍼 결합층"은, 본 명세서에서, 웨이퍼 결합되는 층이 갖는 특성을 나타내는 층 또는 기판으로서 정의된다. 이러한 특성의 하나는 에피택셜 성장된 오정합 이종접속부 (heterointerface)에 비하여 웨이퍼 결합된 접속부에 형성된 부적합한 전위 (misfit dislocation)의 다른 성질인 것으로 믿어진다. 웨이퍼 결합이 행하여진 접속부는 주로 "에지 전위 (edge dislocation)", 즉, 웨이퍼 결합된 접속부의 면 내에 놓인 버거 벡터 (Burgers vector)를 갖는 전위로 이루어진 부적합한 전위를 나타내는 것으로 관찰되었다. 이들 특성은 전형적으로 매우 높은 밀도의 "스레딩 전위 (threading dislocation)", 즉, 오정합 접속부의 면에 한정되지 않고 그 접속부에 수직한 방향으로 전파되는 경향이 있는 전위를 나타내는 에피택셜 성장된 오정합 접속부와 대조적이다.

본 발명의 다른 실시 예에서는, 나중에 반드시 제거될 필요는 없는 제 1 성장 기관 위에 층들이 에피택셜 성장된다. 많은 알루미늄 함유 III-V 반도체는 습한 대기 상태에서는 불안정하고 가수 분해(hydrolysis)에 의해 질적으로 저하될 것이다. 이와 같은 질적 저하는 상당한 두께의 알루미늄 함유 III-V 에피택셜층을 포함하는 LED에 대해 신뢰성의 문제를 야기할 것이다. 예를 들어, 제 3 도에 도시된 바와 같은 AlGaAs LED는 고온 다습하의 신뢰성 테스트 동안 높은 알루미늄 조 성분층(28)의 산화의 결과로서 질적으로 상당히 저하될 것이다. 이러한 질적 저하는 웨이퍼 결합을 사용함으로써 잠재적으로 감소될 수 있다. 예를 들면, 높은 알루미늄 조성물층(28)의 대부분은 높은 알루미늄 조성물을 포함하지 않는 두꺼운 광학적 투과성의 전도성 웨이퍼 결합층에 의해 대체될 수 있다. 유사한 방법으로, GaP기 웨이퍼 결합층은 투과성 기관(24)의 주요 부분 대신에 사용될 수 있다. 즉, 패시베이션(passivation)을 위하여 웨이퍼 결합 기법을 사용하는 것이 가능하다.

다른 실시예에 있어서, 전도성 미러(mirror)는 LED 구조를 형성하는 LED 층에 웨이퍼 결합될 수 있다. 그 다음, 미러 방향으로 방출된 광은 소자의 효율 향상을 위하여 LED 구조에 다시 반사된다. 본 실시예에 있어서, 광이 상기 기관 자체에는 도달하지 않기 때문에 미러는 전형적으로 기관에 의해 지지되며, 기관은 흡수성 기관 또는 투과성 기관일 수 있다.

또한, 웨이퍼 결합은 어떠한 광학적인 이점에도 관계없이, 기계적 안정성 및 /또는 열적 안정성의 향상을 위해 이용될 수 있다. 예를 들면, 강건한 III-V 반도체 웨이퍼 또는 SiC 웨이퍼는 안정성 증진을 위해 II-VI LED 구조에 결합될 수 있다.

또 다른 실시 예에 있어서, 웨이퍼 결합될 웨이퍼 표면들 중 적어도 하나는 웨이퍼의 전기적 및/또는 광학적 특성을 선택적으로 변화시키는 방법에 의하여 패터닝될 수 있다. 예를 들면, LED의 활성 영역에 대해 원하는 전류 경로를 정의하기 위한 웨이퍼 결합에 앞서서 선택된 영역에 함몰부(depression)를 형성할 수 있다. 이것에 제한되는 것은 아니나, 가능한 응용으로는 LED에 전압을 제공하여 스폿 에미터(spot emitter)의 제조를 간단하게 하기 위해서 금속화 전극으로 향하는 광을 감소시키는 것이 있다. 원하는 방식으로 광의 방향을 바꾸기 위해, 웨이퍼 표면에 따라 광학적 특성을 변경시키는 패터닝을 또한 이용할 수 있다.

상기한 바와 같이, 웨이퍼 결합 접속부는 낮은 전기적 저항성과 양호한 기계적 강도를 갖는 것이 바람직하다. 반 데르 발스 힘(van der Waal's force)은 전형적으로 원하는 저항 특성과 구조적 완전성의 달성에는 비효과적이라고 알려져 있다. 또한, 고온 처리와 압력 처리를 조합하면 원하는 저항 특성과 기계적 특성을 보다 신뢰성 있게 얻을 수 있다는 것도 알려져 있다. 또한, 고온에서 압력을 가하면 웨이퍼가 서로 부합되어, 특히, 비교적 두꺼운 층들을 결합하는 경우 웨이퍼 표면의 불 균일성으로 인해 발생될 수 있는 모든 문제가 최소화될 수 있다.

본 발명의 이점은 결과적으로 얻어진 LED의 성능이 향상된다는 것이다. 광의 추출과 전류 확산도 둘 다 향상될 수 있다. 다른 이점은 웨이퍼 결합이 기관의 에피택셜 성장시의 제약에 좌우되지 않으므로, 가격 효율적인 방법으로 8mil 이상의 두꺼운 기관을 형성할 수 있다는 것이다.

제 4 도를 참조하면, 본 발명의 첫 번째 실시 단계는 다수의 LED 층을 위에 순차적으로 성장시킬 기관(30)을 선택하는 것이다. 바람직한 실시예에 있어서, 기관(30)은 LED 층의 제조 후에 제거되는 일시적 성장 기관이다. 본 실시예에 있어서, 기관의 전기적 및 광학적 특성은 제조될 LED의 작동과는 무관하므로, 기관은 LED 층의 성장에 영향을 미치는 특성만을 고려하여 선택될 수 있다. 예를 들면, 격자 정합은 전형적으로 기관의 선택에 있어서 중요한 고려 사항이다. 그러나, 어떤 실시 예에 있어서, 기관은 계속 남을 수도 있으므로, 성장에 부적합한 특성은 이들 실시예에 대해 중요하다.

대표적인 일시적 성장 기판(30)은 $250\mu\text{m}$ 내지 $500\mu\text{m}$ 두께 범위의 GaAs 기판으로서, 이 성장 기판(30) 위에는 4개의 LED 층(32, 34, 36 및 38)이 성장된다. 층(32-38)은 액상 에피택시, 기상 에피택시, 금속 유기 화학 증착 및 분자빔 에피택시를 비롯한 알려진 다양한 방법을 이용하여 성장시킬 수 있다. 층(32-38)은 이중 이종접합 LED를 형성하지만, 본 발명은 모든 형태의 LED 소자에 이용될 수 있다. 성장 기판 바로 위의 층(32)은 n-도핑형 버퍼층이다. 버퍼층 위의 성장은 n-도핑형 AlGaInP의 하부 경계층이다. 이 하부 경계층(34)은 800nm의 예시적인 두께를 갖고 있다.

AlGaInP의 활성층(36)은 500nm의 예시적인 두께로 성장시킨다. 그 다음, p-도핑형 AlGaInP의 상부 경계층으로 제 4도의 구조를 완성한다. 상부 경계층은 800nm의 예시적인 두께를 갖는다. 선택적으로, 층(34, 36, 38)보다 높은 전도성을 가지며 투과성인 윈도우(window)층을 상부 경계층(38)의 위에 성장시켜 전류 확산을 증가시킴으로써 결과 구조물의 성능을 향상시킬 수 있다. 이러한 윈도우층은 플레처(Fletcher) 등의 미국 특허 제 5,008,718 호에 개시되어 있다.

어느 정도의 광학적 흡수 및 전기적 저항성은 성장층(32-38)에서 허용될 수 있는데, 이는 그 층들이 최적의 특성에 못 미치는 특성으로 인해 소자의 성능이 심각하게 약 영향을 받지 않게 될 수 있을 만큼 충분히 얇기 때문이다. 그러나 광학적 흡수성의 일시적 성장 기판(30)은 분명히 성능에 영향을 미칠 것이다. 제 5도를 참조하면, 성장 기판이 제거되어 성장층(32-38)에 의해 형성된 LED 구조가 남아있다. 성장 기판의 제거는 화학적 에칭, 래핑/폴리싱, 반응성 이온 에칭, 이온 밀링 또는 이들의 어떠한 조합을 포함하는 다양한 방법에 의하여 성취될 수 있다. 이하에 보다 상세히 설명된 바와 같이, 기판의 제거 방법은 제거후에 깨끗하고 편평한 면이 제공되는 한 중요하지는 않다. 성장 기판 이외에도, 버퍼층(32)을 전부 또는 부분적으로 제거하고 하부 경계층을 부분적으로 제거할 것이다.

일시적 성장 기판의 제거 후, 성능 향상 기판을 제 5도에 도시된 LED 구조(40)의 최하층(32) 또는 최상층(38)에 결합한다. 결합될 웨이퍼의 위치는 LED 구조(40)와, 성장층(32-38) 및/또는 결합될 기판의 전기적 및 광학적 특성에 달려있다. 웨이퍼 결합 기법이 사용되는데, 이 웨이퍼 결합은 LED에 성능 향상 기판을 제공하는 다른 방법들에 비하여 여러 가지 이점을 제공한다.

제 6도는 전도성이고, 광학적으로 투과성인 기판(42)이 버퍼층(32)에 웨이퍼 결합된 실시 예를 도시한 것이다. 웨이퍼 결합은 투과성 기판이 그와 같은 기판의 성장 요구없이 제공될 수 있다는 이점을 제공한다. 웨이퍼 결합된 투과성 기판(42)은 8mil을 초과하는 두께를 갖는 것이 바람직하다. 8mil 초과하는 두께를 갖는 기판의 성장에 종래 기법을 이용하는 것은 어렵거나 불가능할 것이고, 아주 긴 시간을 요구할 것이다. LED 구조(40)에서는 비교적 얇은층(32-38)의 성장만이 필요하기 때문에, 에피택셜 성장 시간은 상당히 감소될 수 있고, 그로 인해 수율이 최대로 된다. 더욱이, 웨이퍼 결합 공정은 에피택셜 성장되는 투과성 기판에 비해 기계적 특성이 향상된 두꺼운 소자를 제공한다. 결과의 LED 소자들은 나루기가 보다 용이하고 파손에 덜 민감하며, 제조가 더 용이해지고 소자 수율이 증가된다. 웨이퍼 결합은 또한 본 기술 분야에서 통상적인 바와 같이 소자의 하부로부터 p-n 접합을 전위시키는데 이용되어, 소자가 전도성의 은 함유 에폭시에 장착될 때 소자의 단락 회로 가능성이 감소되도록 할 수 있다.

제 7도를 참조하면, 제조 공정의 나머지는 표준 LED 기법이 포함된다. 전극(44)은 예로서 증발(evaporation)에 의해 상부 경계층(38) 위에 형성된다. 전극을 형성하는 전형적인 재료는 금-아연 합금이다. 제 2 전극(46)은 투과성 기판(42) 상에 형성된다. 이 때, 증발을 또한 이용할 수 있으나, 이것은 중요하지 않다. 전형적인 재료는 금-게르마늄 합금이다.

어떠한 상황에 있어서, 웨이퍼 결합을 수용하도록 단순한 공정을 변경하는 것이 바람직하거나 또는 필요하기까지 할 것이다. 예를 들면, 제 8도에서, 제 2 성장 기판(48)이 제 4도의 구조에 웨이퍼 결합되어 있다. 즉, 제 2 기판은 일시적

성장 기관(30)의 제거전에 웨이퍼 결합된다. 제 2 기관(48)은 6mil을 초과하는 "두꺼운" 층인 것이 바람직하다. 일시적 성장 기관(30)의 제거에 앞선 웨이퍼 결합은 에피택셜층(32-38)이 기관에 의해 항상 지지되기 때문에 소자의 기계적인 안전성을 획기적으로 향상시킬 것이다. 선택적으로, 버퍼층은 웨이퍼 결합에 앞서 제 2 기관(48) 위에 에피택셜 성장될 수 있다. 이러한 에피택셜 버퍼층은 또한 버퍼층(32)의 하부에서 성장 기관(30)을 대체하는 기관과 함께 이용될 수 있다.

다른 실시예에 있어서, 제 4 도의 소자는 투과성 또는 흡수성 기관(30) 위에 층(32-38)을 성장시킨 통상의 구조일 수도 있다. 제 8 도의 웨이퍼 결합층(48)은 플래처 등의 미국 특허 제 5,008,718 호를 참조하여 전술한 전류 확산 위도우층처럼, 두껍고 전도성이며, 광학적으로 투과성인 층일 것이다. 또한, 광학적 추출 및/또는 전류 확산의 향상을 위한 이유 때문에 최상층(48)의 결합 후, 최초의 성장기관(30)을 제거하고 남아있는 구조의 하부에 다른 성능 향상 기관을 웨이퍼 결합하는 것도 가능하다.

더욱이, 제 4 도의 소자는 낮은 전도성을 갖는 통상의 투과성 층(30)을 가지므로, 소자의 전류 확산 능력이 제한될 수도 있다. 이러한 상황에 있어서는, 보다 높은 전기적 전도성을 갖는 투과성 기관을 웨이퍼 결합하는 것이 바람직할 것이다. 전도성의 증가는 소자의 성능을 향상시킬 것이다. 이 투과성 기관은 낮은 전도성을 갖는 노출된 LED 층에 웨이퍼 결합되어야 한다. 보다 높은 전도성을 갖는 투과성 기관은 낮은 전도성을 갖는 투과성 층의 제거 전 또는 제거 후에 LED 구조에 웨이퍼 결합될 수 있다.

마찬가지로, 일시적 성장 흡수성 기관은 보다 높은 전도성을 갖는 흡수성 기관으로 대체될 수 있다. 흡수성 기관의 부착에 웨이퍼 결합을 이용하는 것은 바람직한 실시예가 아니지만, 이와 같은 웨이퍼 결합은 실제로 LED 소자의 성능을 향상시킬 것이다.

제 9 도를 참조하면, 웨이퍼 결합은 또한 제 4 도 또는 제 6 도의 구조에 패시베이션을 제공하는데 사용될 수 있다. 많은 알루미늄 함유 III-V 반도체는 습한 분위기에서는 불안정한데, 이는 가수 분해에 의해 질적으로 저하되기 때문이다. 이같은 질적 저하는 상당한 두께의 알루미늄 함유 III-V 에피택셜층들(30-38)을 포함하는 LED에 신뢰성의 문제를 야기한다. 예를 들면, 질적 저하는 습하고 고온에서 이용되는 동안 높은 알루미늄 함유 경계층(38)의 산화로부터 야기될 것이다. 이 같은 질적 저하는, 만약 상기 알루미늄 함유층의 대부분이 높은 알루미늄 조성물을 포함하지 않는 두꺼운 광학적으로 투과성인 전도성의 웨이퍼 결합층에 의해 대체될 경우 지연될 수 있다. 예를 들면, 웨이퍼 결합층(50)은 GaP일 수도 있다.

제 6 도를 다시 참조하면, 투과성 기관(42)과 LED 구조(40) 사이의 원하는 전기적 접속은 급속화 방안을 이용하여 행할 수 있다. 예를 들면, 얇은 접촉 영역을 웨이퍼 결합될 기관(42)의 상부 표면 위에 형성하고, 대응하는 접촉 영역은 LED 구조의 최하층(32) 위에 형성할 수 있다. 1000Å 이하의 두께를 갖는 접촉부재(contact)가 바람직하다. 접촉 부재의 패턴은 적절한 전기적 접속을 확실하게 할 수 있을 정도로 충분히 커야 하는 반면에, 접촉 부재에 의해 덮여지는 전체면적은 LED 구조와 기관(42) 사이의 접속부가 투과성 기관으로부터의 광통로 및 투과성 기관으로의 광통로를 허용할 수 있을 만큼 충분히 작아야 한다. 접촉 부재는 합금이거나 합금이 아닐 수도 있다. 그 다음, 상기 기관의 표면을 최하층(32)의 표면과 접촉되게 한 후, 소자를 고온에서 어닐링(annealing) 한다. 이같은 어닐링은 비금속화된 영역 내의 웨이퍼 결합을 제공하고 금속화된 접촉 부재에서의 결합을 제공한다.

반도체 - 반도체 결합에 비하여 우수한 결합 강도가 반도체 - 유리 결합에 대해 관측되었다. 반도체 - 반도체 결합에 비하여 반도체 - SiO_2 결합도 마찬가지였다. 따라서, 기계적인 완전성의 이유 때문에 샌드위치형의 반도체 - 유리 - 반도체 또는 샌드위치형의 반도체 - SiO_2 - 반도체를 제조하여 투과성 기판 LED를 형성하는 것이 바람직한 것이다. 제 10 도를 참조하면, 유리나 SiO_2 또는 다른 산화물의 층(52)을 광학적 투과성인 전도성의 기판(54) 위에 형성할 수 있다. 그 다음, 바로 위에 설명한 실시예와 같이 접촉 금속물화 부재(56)의 영역을 제공하기 위하여 층(52)을 패터닝한다. 대안적으로 또는 부가적으로, 산화물 및/또는 접촉 금속물화 부재(58)를 LED 구조(40)의 최하층(32)에 패터닝 할 수도 있다. 다시, 접촉 부재는 양호한 전기적 접촉을 위한 충분한 면적을 제공하되 상기 접속부를 대부분 광학적으로 투과성이게 하는 전체 면적을 점유하도록 패터닝되어야만 한다. 그 다음, 층(52)의 표면을 버퍼층(32)의 표면과 접촉케 하고 어닐링하여 층들 사이에 웨이퍼 결합이 형성되도록 한다. 어닐링은 재료들 간의 결합 강도를 강화시킬 것이다.

제 11 도를 참조하면, 전술한 LED 구조(40)를 미러(60)에 웨이퍼 결합한다.그 다음, 미러(60)는 모든 하향 방출 또는 이미 반사된 내부 광을 반사할 것이다. 이 반사는 소자의 광출력을 증가시킬 것이다. 미러(60)는 기판(62)에 의해 지지하는 것이 바람직하다. 광은 상기 기판에 도달하기 전에 반사되기 때문에 기판의 광학적 특성은 관련이 없다.

미러(60)와 기판(62)을 전도성 재료로 만들어, LED 구조(40)의 바이어싱을 위해 전극이 기판에 결합될 수 있게 해야 한다. 미러는 또한 에피택셜 성장되거나 증착된 브레그 반사기에 의해 형성할 수 있다. 실리콘, GaAs나 심지어는 소정 금속과 같은 재료를 이용하여 기판(62)을 만들 수 있다. 이들 재료 중 어떤 것, 예를 들어, Si와 같은 재료는 비교적 높은 열전도성을 갖기 때문에, 만약 소자가 고온 또는 고전류 상태에서 작동한다면, 이러한 재료들은 소자를 더욱 향상시킬 수 있다.

적층형 LED 소자들은 또한 웨이퍼 결합 공정을 이용하여 만들 수 있다. 이와 같은 소자를 제 12도에 도시한다. 만약, 접속부가 소자를 통해 높은 전도성이 유지되게 하는 그러한 것이라면, 복수의 LED 구조(40)와 복수의 LED 구조(64)는 함께 결합될 수 있고/있거나 다른 층에 결합될 수 있다. 상부 LED 구조(40)의 층(34 및 38)의 도핑 형태는 각각 하부 LED 구조(64)의 층(70 및 66)의 도핑 형태에 대응한다. 따라서, 두 LED 구조(40 및 64)는 같은 극성으로 배열된다. 또한, 웨이퍼 결합될 표면들은 매우 강하게 도핑되도록 제조되어야 한다. 따라서, 구조들을 함께 결합할 때, LED 구조와 반대되는 극성을 갖는 강하게 도핑된 터널 접합(tunnel junction) (72)을 형성한다. 이와 달리, 상기 터널 접합을 그 접합의 노출된 표면에 대해 웨이퍼 결합이 행해지는 상태로 LED 구조의 한 부분으로서 에피택셜 성장시킬 수도 있다.

제 12 도의 소자는 각각의 LED 구조(40 및 64)가 순방향 바이어스되도록 상부 전극(74)과 하부 전극(76)에 전압을 인가함으로써 작동된다. 하부 전극은 전도성의 광학적 투과성 기판(78)위에 패터닝된 금속물이다. 적층 소자의 순방향 바이어스는 강하게 도핑된 터널 접합부(72)의 바이어스를 역전시켜, 그 터널 접합부가 도통 상태로 되게 한다. 이런 방식으로, 임의의 수의 LED들을 함께 적층시켜 광 출력과 효율이 향상되게 할 수 있다. LED 구조(40 및 60)의 적층으로 구성되는 LED 소자는, 만약 LED 구조들이 함께 적출되어 있지 않으면, 상기 개별적인 LED 구조들의 전압들의 합으로 작동할 것이다. 활성층(38 및 68)이 동일한 방출 에너지를 갖는 것은 중요하지 않다. 그러나, 기판(78)은 개별적인 LED 구조들의 방출 에너지보다 큰 에너지 갭을 갖는 것이 바람직하다. 적층은 또한 모든 전도성 형태를 역전시켜 형성할 수도 있음을 알아야 한다.

LED 소자의 형성에 있어서 어떠한 갯수의 기판들도 웨이퍼 결합될 수 있다.바람직한 실시예에 있어서, 웨이퍼 결합층은 1mil을 초과하는 두께를 갖는 반도체로서, 이것에 사용할 수 있는 재료로는 Si, Ge, AlP, AlSb, GaN, AlN, GaP, GaAs, GaSb, InP, InAs, InSb, ZnS, ZnSe, CdSe, CdTe, SiC가 있으며, 이들 합금의 어떠한 조합도 포함된다. 웨이퍼 결합 기판은 시중에서 구입하거나, 또는 시중에서 구입 가능한 기판에 에피택셜 성장층을 부가하여 구성할 수도 있다. 에피택셜 성장층들은 기판의 결합 강도와 웨이퍼 결합 접속부의 전도성을 향상시키는 바와 같은 이유에서 부가한다.

또한, 웨이퍼 결합 기판은 일시적 성장 기판으로부터 제거되는 상기 나열한 재료들의 에피택셜층으로서 1mil보다 두꺼운 에피택셜층으로 하는 것도 가능하다. 또한, 웨이퍼 결합층은, 예를 들어 일시적 성장 기판 위에 형성되는 2 μ m보다 얇은 에피택셜층으로 하는 것도 가능하다. 그 다음, 이러한 층은 웨이퍼 결합되고, 성장 기판은 차후에 제거된다.

제 13 도는 패터닝된 반도체 웨이퍼(126)가 상부 경계층(130), 활성층(132) 및 하부 경계층(134)을 포함하는 LED 구조(128)에 웨이퍼 결합된 실시예를 예시한 것이다. LED 구조는 기판(136) 위에 성장시키거나 기판(136)에 웨이퍼 결합시킬 수 있다. 패터닝된 반도체 웨이퍼(126)는 제 8 도를 참조하여 기술한 것처럼 전류 확산 윈도우층일 수 있으나, 이것은 중요한 것이 아니다. 패터닝된 웨이퍼(126)는 에칭되어 하부 표면(138)에 함몰부(140)를 형성한다. 함몰부의 존재는 패터닝된 웨이퍼가 LED 구조와 결합될 때 전기적 특성과 광학적 특성을 변화시킬 것이다.

제 14 도에 있어서, 패터닝된 반도체 웨이퍼(126)는 LED 구조(128)의 상부 경계층(130)에 웨이퍼 결합된다. 전극(142 및 144)은 패터닝된 웨이퍼(126)의 상부 표면과 기판(136)의 하부 표면에 형성된다. 패터닝된 웨이퍼에 있어서, 함몰부(140)는 공동(cavity) 또는 빈 공간을 생성한다. 전극(142)에 대한 전압의 인가는 LED 구조(128)로 전류가 전도되도록 할 것이지만, 전류는 제 14 도의 전류 흐름 화살표에 의해 도시되는 것처럼 공동 바로 밑의 영역으로는 흐르지 않을 것이다.

전극 영역들은 전형적으로 흡수성 영역이다. 그 결과, 제 14 도에 예시된 방법에 의한 전류 흐름의 제한은 LED 소자의 효율을 향상시킬 것이고 전기적 전류 흐름 경로의 선택에 복잡하지 않은 방법을 제공한다.

디스플레이(display) 및 스폿 에미터와 같은 다른 LED 소자들은 전류 흐름의 제한으로부터 이점을 취할 수 있다. 제 15 도는 기판(146) 위에 LED 구조(144)를 포함하는 스폿 에미터를 도시한 것이다. 함몰부(148 및 150)는 웨이퍼 결합층(152) 내에 형성된다. LED 구조와 웨이퍼 결합층의 접속부에 있는 공동들은 전극(154 및 156)으로부터 그 접속부로의 전류 흐름을 정의하는 기능을 한다. 함몰부들은 접속부의 전기적 접촉 영역을 제한하기 때문에, 정의된 흐름 경로는 함몰부(148)와 함몰부(150) 사이에 전류 주입 영역을 제공한다. 중앙 영역에서의 전류의 주입 및 광출력은 스폿 에미터(142)를 광섬유 소자에 결합하는 것과 같은 응용에 있어서 바람직하다. 바람직한 실시예에 있어서, 함몰부(148)와 함몰부(150)는 중앙 전류 주입 영역을 정의하는 내경(inner diameter)을 갖는 단일 환형 공동(single annular cavity)의 서로 다른 부분들이다.

웨이퍼 결합된 반도체 웨이퍼의 패터닝은 또한 LED 층으로부터 방사된 광을 의도적으로 방향 전환하는데 이점으로서 사용될 수 있다. 광의 방향 전환은 소자의 기하학적 구조, 응용 및 장착에 의존할 것이다. 그 예를 제 16 도에 도시한다. LED 층(156)은 상부층(158)과 하부층(160) 사이에 샌드위치 된다. 외부층(162)과 외부층(164)의 서로 대향하는 면들은 웨이퍼 결합된다. 비 결합 영역(166, 168 및 170)은 전류가 비결합 영역 주변으로 확산될 수 있을 정도로 전극(172)으로부터 충분히 떨어져서 형성된다. 그러나, 공동들은 광의 방향 전환을 위해 전극에 충분히 가깝게 해야 한다. 그렇지 않으면 그 전극에 의해 광이 흡수된다. 이렇게 함으로써, 광 추출이 증가될 수 있다.

전극(172)으로부터 LED 층(156)으로의 전류의 전도는 실제로 비결합 영역들(166, 168 및 170)에 의해 영향을 받지 않지만, LED 층으로부터 나오는 방향의 광은 영향을 받는다. 광의 방향 전환은 비 결합 영역들(166 - 170)과 인접층 사이의 굴절률의 차이에 의한 결과로서 발생된다. 주변 반도체의 굴절률은 대략 3인 반면에, 공동에서의 굴절률은 대략 1이다. 비 결합 영역에서의 정확한 굴절률은 반도체 웨이퍼 결합 방법에 달려있다. 전형적으로, 결합은 H₂ 또는 P H₃ 과 같은 가스 상태의 환경에서 발생된다. 따라서, 공동은 가스로 채워지려는 경향이 있다. 이와 같은 가스는 표준 압력과 온도에서 1에 매우 가까운 굴절률을 갖는다. 반도체의 굴절률은 공동의 굴절률보다 크게하여 광이 공동 내에 갇히게 되는 경향이 없도록 하는 것이 이상적이지만, 이것이 중요한 것은 아니다.

패터닝된 반도체 웨이퍼 결합을 LED에 대해 수행하는 다른 방법은 패터닝되거나 패터닝되지 않은 기판에 대한 LED의 결합에 앞서 LED 층들 중 하나를 패터닝하는 것이다. 제 17 도에 있어서, 패터닝된 LED 층(174)은 합몰부(176)를 포함한다. 패터닝된 층(174)은 원래 에피택셜 성장시키거나, 기판(180) 위의 LED 층(178)에 웨이퍼 결합시킬 수 있다. 합몰부(176)의 형성후, 제 2 기판(182)은 패터닝된 LED 층의 상부 표면에 웨이퍼 결합된다. 이와 달리, LED 층(174) 및/또는 기판(182)은 패터닝될 수 있다. 또한, 두 층을 개별적으로 웨이퍼 결합하되, 적어도 그들 두 층 중 하나를 패터닝한 후, LED 에피택셜층에 두 층을 웨이퍼 결합하는 것도 가능하다.

다시 제 13 도를 참조하면, 합몰부(140)는 표준 에칭 기법에 의하여 반도체 웨이퍼(126) 내에 형성될 수 있다. 또한, 당업자에게 잘 알려진 다른 방법들을, 결합하려고 하는 웨이퍼들의 표면을 패터닝하는데 사용할 수 있다. 단지 예로서, 그 다른 방법들로서는 역바이어스 매립 p-n 접합을 형성하기 위한 선택적 확산법(selective diffusion) 또는 이온 주입법과, 선택적 패터닝 내의 절연 산화물층들의 성장 또는 증착, 그리고 다양한 이용가능한 방법들의 모든 조합이 있다. 산화물층의 경우, 대부분의 산화물의 굴절률은 대략 1.6으로서, 이것은 에칭 및 웨이퍼 결합에 의해 형성되는 전술한 공동들과 유사한 방식으로 광의 방향을 전환하기에 충분하다.

n-GaP 기판을 이용해 패터닝된 층의 웨이퍼 결합을 테스트한다. 패터닝된 n-GaP 기판은 후술하는 기법을 이용하여 패터닝되지 않은 n-GaP 기판에 결합된다. 패터닝된 기판은 대략 $175\mu\text{m}$ 의 지름과 대략 $15\mu\text{m}$ 의 깊이를 갖는 원형 합몰부를 에칭함으로써 형성된다. 합몰부들은 대략 $125\mu\text{m}$ 정도 서로 이격된다. 이들 치수의 경우, 기판 패터닝은 쉽게 행할 수 있고, 기계적 결합 강도는 기판이 쪼개지게 할 정도로 충분하다. 대략 $40\mu\text{m}$ 보다 작은 크기를 갖는 합몰부도 또한 마찬가지로 가능하다. $10\mu\text{m}$ 보다 작은 치수로 하는 것도 가능하며, 그 결과 미세한 크기의 전류 정의 및 광 산란 능력이 제공될 수 있게 된다. n-형 또는 p-형 단극 결합(unipolar bond)을 위한 낮은 전기적 저항의 GaP-GaP 결합과 InGaP-GaP 결합은 기술될 기법에 의하여 성취되며, 그 결과, 패터닝된 웨이퍼들은 비결합 공동을 가로지르는 전류 흐름을 방지하면서 결합 영역을 가로지르는 전류를 전도할 능력을 제공할 수 있게 된다.

제 18 도는 한 쌍의 웨이퍼(80)의 웨이퍼 결합을 성취하기 위한 알려진 장치를 예시한 것이다. 웨이퍼 쌍은 제 1 흑연 부재(84) 내의 리세스 영역(recess area)(82)에 마주 보도록 놓여 있다. 리세스 영역(82)은 제 1 흑연 부재 내의 0.5인치 \times 0.8인치의 면적이다. 제 2 흑연 부재(86)는 제 1 부재로부터 돌출된 정렬 핀(alignment pin)(90)을 받아들일도록 위치하는 구멍(hole)(88)을 포함한다. 도시되지는 않은, 흑연 쉼기(graphite shim)들은 함께 결합될 웨이퍼 쌍(80)의 두께가 연속적인 공정 변화 동안 변동하는 것을 보상하도록 리세스 영역(82) 내에 놓여질 수 있다.

제 1 흑연 부재(84)와 제 2 흑연 부재(86)를 정렬 핀(90)을 이용하여 결합하고, 그 조립체(assembly)를 꼭 맞는 수정관(quartz tube)(92) 내에 삽입한 후, 이것을 개방 튜브 화로(open-tube furnace)에 적재한다. 온도는 유속이 1.0리터/분(liter/min)인 H_2 대기 상태에서 850-1000 $^{\circ}\text{C}$ 로 상승된다. 온도 사이클에는 원하는 온도까지의 상승 및 이에 순차적으로 계속되는, 5초 내지 1시간의 어닐링과, 그 후의 냉각 과정이 포함된다.

가열 동안, 웨이퍼 쌍(80)은 압축된다. 압축력은 수정관(92)의 열팽창 계수($5.5 \times 10^{-7}/^{\circ}\text{C}$)와 흑연 부재들(84 및 86)의 열팽창 계수($8.4 \times 10^{-6}/^{\circ}\text{C}$) 간의 차이에 의하여 발생된다. 또한, 웨이퍼(80)의 열팽창 계수(예를 들어, GaP의 경우 $5.8 \times 10^{-6}/^{\circ}\text{C}$)도 중요한 것으로, 이것도 압축력의 또 다른 원인이 된다. 높은 온도에서, III-V 반도체 웨이퍼들은 나소 가소성(plastic)이 될 것이다. 그 결과, 웨이퍼 표면은 압축될 때 서로 부합되려는 경향이 있는데, 이것은 웨이퍼 표면의 어떤 불 균일성을 보상하는데 도움이 된다.

제 18 도의 웨이퍼 결합 장치 내로의 적재에 앞서, 웨이퍼(80)는 웨이퍼 표면으로부터 모든 오염물 또는 모든 산화물이 제거되도록 세척해야 한다. 유기질의 오염물은 전형적으로 기름 제거 기법(degreasing technique)에 의하여 제거된다. $\text{In}_x\text{Ga}_{1-x}\text{P}$ 및 GaP 재료의 경우, 산화물은 전형적으로 NH_4OH 중에서의 에칭에 의해 제거된다. 에칭후, 웨이퍼는 웨이퍼로부터 어떠한 잔여 NH_4OH 도 제거하기 위하여 즉시 메탄올(methanol)에 담겨진다. 결합될 표면들을 메탄올 중에 담근 상태에서 접촉케 한다.

그 다음, 접촉 웨이퍼(80)를 메탄올로부터 제거한다. 메탄올은 빨리 증발하고, 반 테르 발스 힘에 의하여 결합된 웨이퍼(80)가 남겨진다. 그러나, 전술한 바와 같이 반 테르 발스 결합은 일반적으로 LED 소자 제조에 이용하기에 충분한 기계적 강도 및 전도성을 제공하지 못한다. 따라서, 또 다른 고체 결합이 요구된다. 그러므로, 제 18 도의 웨이퍼 결합 장치가 사용된다.

이하에 기술된 실험에 있어서, 웨이퍼는[(100)면을 (110)면 쪽으로 2° 또는 10° 치우치게 한 결정면을 갖는] GaP:S($n \sim 5 \times 10^{17} \text{ cm}^{-3}$) 기판과 (GaPs 위에 $\sim 2\text{mil}$ 두께로 GaP를 기상 에피택시 GaP 성장시켜 제조한) GaP:Zn($p \sim 2 \times 10^{18} \text{ cm}^{-3}$) "외사-기판(pseudo-substrate)"으로 구성되어 있다. 또한, GaAs:Te($n \sim 5 \times 10^{17} \text{ cm}^{-3}$) 위에 금속 유기 화학 증착(MOCVD)에 의해 성장시킨 $\sim 1\mu\text{m}$ $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$:Te($n \sim 1 \times 10^{18} \text{ cm}^{-3}$)와 MOCVD에 의하여 GaAs 위에 성장시킨 $\text{In}_{0.5}(\text{Al}_x\text{Ga}_{1-x})_{0.5}\text{P}$ 이중 이종구조 LED로 구성되는 층도 이용된다. GaAs 기판은 (100)면을 (110)면 쪽으로 2° 치우치게 한 결정면을 갖는다. 고체 웨이퍼 결합후, 일반적으로 $\text{HCl}:\text{HNO}_3:\text{H}_2\text{O}(1:1:1)$ 중에서의 에칭에 의하여 노출 표면으로부터 열적 손상이 제거된다. 그 다음, 웨이퍼들을 n-형 접촉을 위해 AuGe 및/또는 p-형 접촉을 위해 AuZn으로 금속화, 합금화하고 칩으로 절단한다.

두 웨이퍼 결합층(80)의 접속부에서 원하는 저항성 전기적 특성을 성취하기 위하여 이와 같은 단계를 수행하는데 있어서의 한 가지 중요한 고려 사항으로서, 접촉에 앞서 웨이퍼들의 표면을 제조해야 한다는 것이 알려져 있다. 전술한 바와 같이, 바람직한 단계들로서는 NH_4OH 에칭에 의해 웨이퍼들을 제조한 다음에, 이어서 웨이퍼(80)를 메탄올 용액 중에 위치시킨 상태에서 결합될 표면들이 서로 접촉되게 하는 단계들이 포함된다. 이들 두 단계가 포함된 제조 공정 다음에 결합한 웨이퍼들은 HF:탈이온화 수용액(deionized water) (1:10) 에칭에 이어서 탈이온화 수용액 내에서 세정하고 N_2 로 건조시키는 대안적인 제조 공정후에 결합된 웨이퍼와 비교된다. 이들 두 경우 모두에 있어서, 결합 웨이퍼들은 n-형 GaP 기판과 (GaAs:Te위의) n-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 로 구성된다. 상기 대안의 표면 제조 공정에 이어서, 기판들을 제 18 도의 웨이퍼 결합 장치 내에 배치하고, 그 웨이퍼들을 똑같이 1000°C 에서 1 시간 동안 어닐링한다. 이 때, 전류-전압 특성은 NH_4OH -메탄올에 의해 제조된 웨이퍼의 경우 분명히 비교적 낮은 저항 오믹 결합(resistance ohmic bond)을 나타낸다. HF:탈이온화 수용액 내에서의 에칭에 의하여 제조된 웨이퍼들은, 마치 결합된 웨이퍼의 접속부에 "장벽(barrier)"이 존재하는 것처럼 비 저항성 특성을 나타낸다. 이와 같은 비 저항성 특성들은 일반적으로 하나의 웨이퍼 결합된 기판으로부터 다른 웨이퍼 결합된 기판으로 전류를 통과시키려 하는 응용에는 적당하지 않다.

NH_4OH 메탄올 표면 제조법은, 현재, n-형 InGaP가 n-형 GaP에 결합될 때 원하는 저항성 전기적 특성을 얻기 위한 바람직한 제조법으로서 생각된다. 접촉에 앞서 NH_4H 에칭, 메탄올 내에서의 세척과 그 후의 N_2 에 의한 건조와 같은 다른 표면 제조는 비 저항성 특성의 결과를 야기한다. 그러나, 그 같은 제조법은 n-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ (GaAs:Te)에 대한 (n-형 GaAs:Te 위의) n-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 의 결합에 적용될 경우 원하는 저항성 결합 특성을 야기한다. 그러한 차이는 GaP로부터 모든 산화물이 제거될 수 없는 반면에 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 의 경우에는 모든 산화물이 제거되기 때문이라고 생각된다. 그러한 차이에 대한 또 다른 가능한 설명으로서, 향상된 결합 특성이 In 함유 화합물의 경우에 나타난다는 것이다.

(a) n-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 에 결합된 n-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 로 구성되는 고체 결합 웨이퍼와 (b) n-형 GaP에 결합된 u-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 로 구성되는 고체 결합 웨이퍼를 비교한다. 이들 두 웨이퍼 세트(set) 모두는 원하는 저항성 전기적 특성을 갖는 웨이퍼 결합을 제공한다. 그러나, (a) 단극성 n-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}/\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 결합은 (b) 단극성 n-형 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}/\text{GaP}$ 결합에 비해서 접속부에서 아주 낮은 저항을 나타낸다. 즉, (a)의 경우에는 저항값이 약 1.5Ω 이었고, 반면에 (b)의 경우에는 저항값이 약 5Ω ($20 \times 20\text{mil}$ 다이(die))였다. 또한, 낮은 저항 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}/\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 결합은 1000°C 에서 얻어지는 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}/\text{GaP}$ 결합에 비하여 대략 975°C 낮은 온도에서 전체 웨이퍼 영역에 걸쳐서 형성될 수 있다.

이러한 실험의 결과는 In 함유 화합물이 LED 제조에 이용된 고체 웨이퍼 결합을 위해 바람직하다는 것을 나타낸다. 이에 대한 하나의 가능한 설명은, 반도체 웨이퍼 결합 공정 동안, 전단 응력(shear stress), 증발-응축(evaporation-c condensation) 및 대량 전송에 의해 재료가 전송될 것이라는 것이다. In 함유 화합물을 가지고 관찰한 상기 향상된 결합은 Ga 원자와 비교하여 In 원자의 표면 이동도가 높거나 또는 GaP에 비하여 In_{0.5}Ga_{0.5}P의 대량 전송 능력이 향상되므로 바람직할 것이다. 또한, AlGaAs-GaAs-InGaAs 구조에서 비교적 높은 확산도를 나타내는 것도 알려져 있다. 마찬가지로, In은 고체 웨이퍼 결합 과정 동안 GaP 내로 확산 또는 합금으로 되어 결합 접속부 주변에 In_xGa_{1-x}P(x<0.5) 합금을 형성한다.

In 함유 화합물 이외에도, 유사한 특성, 즉 높은 원자 표면 이동도 및/또는 향상된 대량 전송 특성을 갖는 다른 III-V 또는 II-VI 화합물도 또한 고체 웨이퍼 결합에 유리하게 사용될 수 있다. 따라서, Hg-함유, Cd-함유 및 Zn-함유 화합물은 이와 같은 응용에 주요 후보 화합물이다.

바람직한 저항성 전기적 특성을 갖는 고체 웨이퍼 결합의 형성에 관한 또 다른 중요한 파라미터는 제 18 도의 장치 내에서 웨이퍼(80)를 어닐링할 때 사용된 온도 프로파일이다. 제 19도는 두 개의 상이한 프로파일을 도시한다. 위쪽의 프로파일에서는 1000℃ 온도까지의 "가파른(fast)" 경사가 제공되고, 반면에 아래쪽의 프로파일에서는 1000℃ 온도까지의 "완만한(slow)" 경사가 제공된다. 이들 두 경우에 있어서, 1000℃까지의 경사 다음에 1 시간의 어닐링이 이어진다. 냉각 프로파일은 동일하다.

아래쪽의 "완만한" 경사는 일반적으로 낮은 온도 및 대체적으로 넓은 영역에 걸친 저항성 결합을 야기한다. 이러한 현상은 결합된 표면들이 고온 상승중의 어떤 부분에서 압축 상태로 존재하지 않기 때문에 야기될 수 있다. 이것은 웨이퍼 결합에 앞서 어느 정도의 표면 분해(decomposition) 또는 열적 산화물 탈착(thermal oxide desorption)을 허용할 것이다. 또한, 이러한 차이는 상기 "완만한" 경사에 의해 제공되는 보다 긴 효과적인 어닐링으로부터 야기될 수 있다. 그러나, 그 효과는 단지 n-형 웨이퍼에 n-형 웨이퍼를 결합할 때 관측되며, p-형 웨이퍼에 p-형 웨이퍼를 결합할 때에는 관측되지 않는다.

n-형 웨이퍼들 보다는 p-형 웨이퍼들 사이에 저항성 결합을 형성하는 것이 보다 용이하다는 몇 가지 증거가 있다. p-GaP와 p-GaP의 웨이퍼 결합, 또한 n-GaP와 n-GaP의 웨이퍼 결합이 수행된다. 이들 두 경우에 있어서, 결합은 1000℃에서 1 시간 동안 수행된다. n-형 결합과 p-형 결합 모두에 있어서, 저항성 결합은 전체 샘플 영역 위에 걸쳐 발생된다. 그러나, 결합 저항은 12×12mil 칩의 경우 GaP/GaP n-형 단극성 웨이퍼 결합(대략 5Ω)보다 GaP/GaP p-형 단극성 웨이퍼 결합시에(0.9Ω 미만) 훨씬 작다. p-형 샘플들 사이에 저항성 결합을 형성하는 것이 상대적으로 쉬운 것은 n-형 도펀트(dopant)에 비하여 p-형 도펀트의 확산 속도가 높기 때문일 것이다.

최초의 성장 흡수성 GaAs 기판을 그대로 갖게 한 LED 구조와 비교해 볼 때, 대략 2의 계수의 현저한 광출력 향상은 흡수성 GaAs 기판을 제거하고 In_{0.5}(Al_xGa_{1-x})_{0.5}P LED에 투과성 GaP 기판을 고체 웨이퍼 결합하는 것에 의하여 성취된다.

제 18 도의 웨이퍼 결합 장치가 원하는 결과를 성취하기는 하지만, 그 장치는 불행히도 온도에 의존하지 않는 압축력의 응용을 허용하지 않는다. 즉, 그 장치가 물질의 열팽창에 따라서 압축력을 발생하기 때문에, 압축과 온도의 분리 제어가 불가능하다. 그 결과, 제 20도 및 제 21 도의 반응 장치가 개발되었다. 제 20 도는 반응 장치(94)의 평면도이다. 이 반응 장치는 웨이퍼 쌍을 압축하기 위하여 두 개의 흑연 부재(96 및 98)를 포함한다. 한 흑연 부재(96)의 정렬 핀(100)은 다른 흑연 부재(98)의 노치(notch) 내에 수용된다.

흑연 부재(96 및 98)는 화로관(furnace tube)(102) 내에 위치한다. 후방의 흑연 부재(96)는 그 흑연 부재의 궁형 개구(arcuate opening)(108)가 샤프트(shaft)(106)를 수용하는 방식을 통해 화로관(102)에 대해 제 위치에 고정된다. 전방의 흑연 부재(98)는 화로관 내에서 움직일 수 있다. 에어 피스톤(air piston)이 흑연 부재(98)의 개구(112) 내에 수용되는 샤프트(104)에 부착된다. 에어 피스톤은 흑연 부재에, 그에 따라 결국은 (110)에 위치된 웨이퍼 쌍에 가변 압력을 인가하도록 공압 제어(pneumatically control)될 수 있다.

제 21 도를 참조하면, 웨이퍼 쌍(112 및 114)이 초기에는 분리된 것으로서 도시되어 있다. 이와 비교하여, 제 22 도는 두 웨이퍼(120)가 초기에 접촉된 제 1 흑연 부재(116)와 제 2 흑연 부재(118)를 도시한다. 제 22 도의 실시예를 테스트한 결과에 의하면 초기 데이터는 고체 웨이퍼 결합이 전체적인 접촉부에 걸쳐서 수행될 수 있음을 알 수 있다. 온도의 함수인 가해진 압력 프로파일은 웨이퍼(120)의 분열(cracking) 및 파손을 최소화하기 위하여 중요하다. 분열은 웨이퍼가 유연하지 않은 온도에서 높은 압력을 인가함에 따라 야기될 수 있다.

웨이퍼(112 및 114)가 초기에 분리될 수 있게 하는 제 21 도의 실시예는 웨이퍼의 결합에 앞서서 웨이퍼로부터 산화물의 열적 배출을 허용하기 때문에 바람직할 것이다. 또한, 결합될 표면들의 약간의 분해도 바람직할 것이다. 제 21 도의 실시예는 이와 같은 결합 조건들을 용이하게 할 것이다.

또 다른 가능성은 웨이퍼 표면으로부터 산화물을 별도로 배출하고, 차후의 산화 방지를 위해 As-캡(caP) 또는 P-캡으로 표면을 씌우는 것이다. 그 다음, 캡으로 씌워진 웨이퍼들은 흑연 부재들 사이에 놓여질 것이다. 캡들은 웨이퍼 표면들로부터 효과적으로 분리되기 때문에, 캡으로 씌워진 웨이퍼들의 물리적 접촉 여부는 중요한 것이 아닐 수도 있다. 다음, 캡으로 씌워진 웨이퍼들을 500℃를 초과하는 온도까지 가열하여 캡을 분리시킴으로써, 결합을 위한 산화물이 없는 표면이 남게 된다. 그 다음, 웨이퍼를 압착하여 접촉 상태로 적도록 하고, 고체 웨이퍼 결합을 위해 온도를 증가시킨다.

또한, 도펀트 가스를 결합 접촉부에서의 캐리어(carrier) 농도 증가를 위해 결합 동안 제 20 도의 화로관(102)을 통하여 흐르게 할 수 있다. 적절한 도펀트 가스로서는, H_2Se , H_2S , DETe 및 DMZn이 있을 수 있다. 이것은 특히 p-형 결합보다 훨씬 더 어렵게 보이는 n-형 결합을 위해 중요할 것이다.

제 20 도의 반응 장치(94)는 제 18 도의 장치가 요구하는 것보다 낮은 온도에서 저항성 고체 웨이퍼 결합이 형성될 수 있게 할 수 있다. 보다 낮은 온도에서는 에피택셜 LED 층들의 어떠한 층 혼합도 최소화될 것이다. 또한, 더욱 낮은 온도에서는 소자층 내의 p-n 접합의 이동이 최소화될 것이다.

LED에 대한 웨이퍼 결합의 또 다른 응용으로는 불안정한 반도체층에 강건한 반도체 기판을 결합하여, 웨이퍼의 열적 안정성과 기계적 안정성을 향상시키는 것이다. 하나의 특정한 응용은 일반적으로 기계적 강도 및 열적 스트레스에 대해 III-V, IV 또는 IV-IV 반도체들보다 불안정한 것으로 생각되는 II-VI LED 구조에 대한 것이다. 결과적으로, II-VI 층에 강건한 III-V 반도체 또는 SiC 기판을 고체 웨이퍼 결합하여 LED 소자의 기계적 및/또는 열적 안정성을 향상시키는 것이 바람직할 것이다.

(57) 청구의 범위

청구항 1.

발광 다이오드(light emitting diode; LED) 제조 방법에 있어서,

사전 결정된 기계적 특성을 갖는 선택된 제 1 재료로 만들어진 제 1 기판을 제공하는 단계와,

상기 제 1 기판 위에 상기 LED층을 제조하여 LED 구조를 형성하는 단계와,

상기 LED 층에 대해 광학적 투과성 재료의 투과성 층을 웨이퍼 결합(wafer bonding)하여 상기 LED 구조의 성능을 향상시키는 단계를 포함하는 발광 다이오드 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 LED 층 제조 단계는 상기 제 1 기판 위에 다수의 층을 에피택셜 성장(epitaxially growing)시키는 단계이고, 상기 제 1 재료는 사전선택된 격자 상수(lattice constant)를 갖는 재료인 발광 다이오드 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 제 1 기판을 제거하는 단계를 더 포함하는 발광 다이오드 제조 방법.

청구항 4.

제 3 항에 있어서,

상기 제 1 기판을 제거하는 단계는 상기 투과성 층 웨이퍼 결합 단계에 앞서 수행되는 단계이고, 상기 웨이퍼 결합 단계는 상기 제 1 기판이 제거될 상기 LED 구조의 면에 투과성 기판을 웨이퍼 결합하는 단계인 발광 다이오드 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 LED 구조에 상기 투과성 층을 웨이퍼 결합하는 상기 웨이퍼 결합 단계는 낮은 저항 전기적 접속(low resistance electrical connection)이 제공되도록 고온에서 수행되는 단계이며, 웨이퍼 결합될 상기 층들의 연화(softening)를 위해 온도를 상승시키는 것을 포함하는 발광 다이오드 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 웨이퍼 결합 단계는 웨이퍼 결합될 상기 층들의 부합(conformity)을 위해 웨이퍼 결합될 상기 층들에 압력을 인가하는 것을 포함하는 단계인 발광 다이오드 제조 방법.

청구항 7.

제 1 항에 있어서,

웨이퍼 결합될 상기 층들의 접속부(interface)에 대해 In 함유 화합물, Hg 함유 화합물, Cd 함유 화합물 및 Zn 함유 화합물로 구성되는 그룹으로부터 선택된 화합물을 포함하는 층을 추가하는 단계를 더 포함하는 발광 다이오드 제조 방법.

청구항 8.

발광 다이오드 제조 방법에 있어서,

에피택셜 성장 LED 층에 적합한 격자를 갖는 일시적 성장 기판(temporay growth substrate)을 제공하는 단계와,

제 1 면과, 상기 성장 기판에 결합된 제 2 면을 갖는 LED 층들의 적층(lamination)을 상기 성장 기판 위에 에피택셜 성장시켜, 상기 성장 기판으로 일시적 성장 지지면(growth support surface)을 형성하는 단계와,

상기 일시적 성장 지지면을 상기 성장 기판에 비하여 증가된 광학적 투과성과 보다 높은 전도성 중 적어도 하나를 갖는 영구적 기판으로 대체하는 단계를 포함하며, 상기 일시적 성장 지지면 대체 단계는 상기 LED 층의 상기 제 1 및 제 2 면들 중 한 면에 상기 영구적 기판을 웨이퍼 결합시키는 웨이퍼 결합 단계를 포함하고, 상기 웨이퍼 결합 단계는 상기 영구적 기판과 상기 LED 층의 접속부에서 온도를 상승시켜 낮은 저항 접속을 달성하는 것을 포함하는 발광 다이오드 제조 방법.

청구항 9.

제 8 항에 있어서,

상기 일시적 성장 지지면 대체 단계는 상기 LED 층의 상기 제 1 면에 상기 영구적 기판을 웨이퍼 결합한 후에 상기 일시적 성장 기판을 제거하는 것을 포함하는 발광 다이오드 제조 방법.

청구항 10.

제 8 항에 있어서,

상기 일시적 성장 지지면 대체 단계는 상기 LED 층의 상기 제 2 면에 상기 영구적 기판을 웨이퍼 결합하기에 앞서 상기 일시적 성장 기판을 제거하는 것을 포함하는 발광 다이오드 제조 방법.

청구항 11.

제 8 항에 있어서,

상기 LED 층 위에 제 2 의 전도성의 광학적 투과성 기판을 웨이퍼 결합하는 것을 더 포함하며, 상기 영구적 기판은 전도성이고 광학적으로 투과성이므로, 상기 투과성 기판들 사이에 상기 LED 층이 샌드위치되는 발광 다이오드 제조 방법.

청구항 12.

제 8 항에 있어서,

상기 웨이퍼 결합 접속부에서의 캐리어 농도(carrier concentration)를 증가시키기 위해 상기 영구적 기판의 상기 웨이퍼 결합 단계 동안 도펀트(dopant) 가스가 흐르도록 하는 단계를 더 포함하는 발광 다이오드 제조 방법.

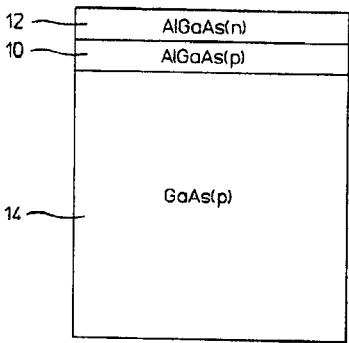
청구항 13.

제 8 항에 있어서,

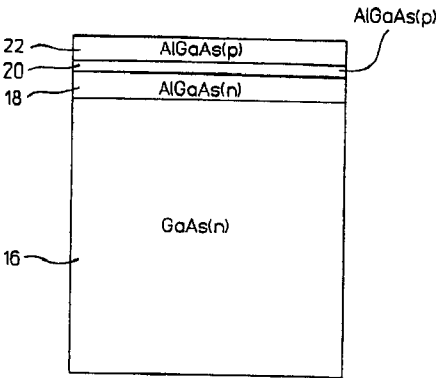
상기 일시적 성장 지지면을 상기 영구적 기판으로 대체하는 단계에 앞서 상기 영구적 기판과 상기 LES 층들 중 적어도 하나에 캡(cap) 재료를 도포(apply) 하여 산화를 지연시키는 단계와, 상기 LED 층에 대한 상기 영구적 기판의 상기 웨이퍼 결합을 위해 상기 영구적 기판과 상기 LED 층들 중 적어도 하나가 분리되도록 열을 가하는 단계를 더 포함하는 발광 다이오드 제조 방법.

도면

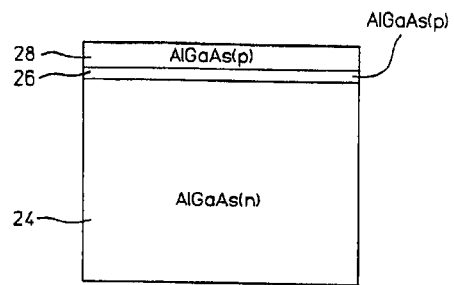
도면 1
(종래기술)



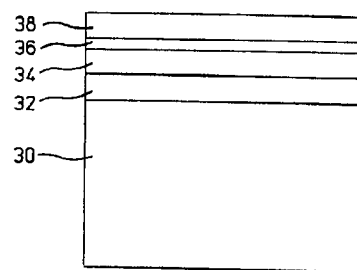
도면 2
(종래기술)



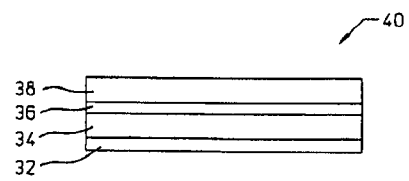
도면 3
(종래기술)



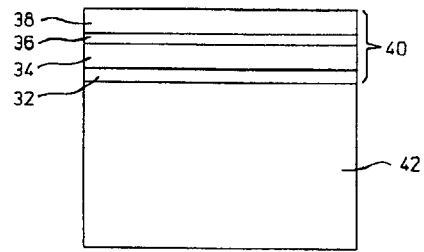
도면 4



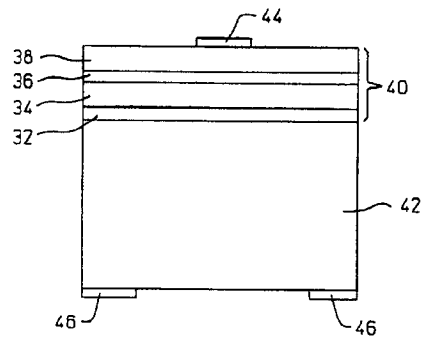
도면 5



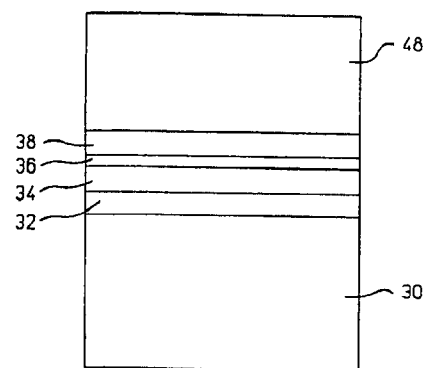
도면 6



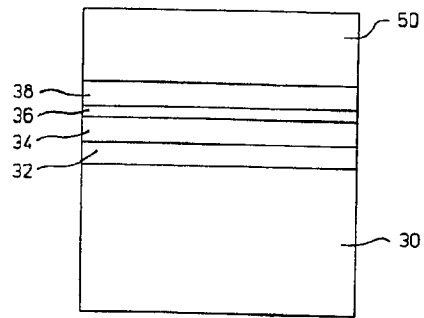
도면 7



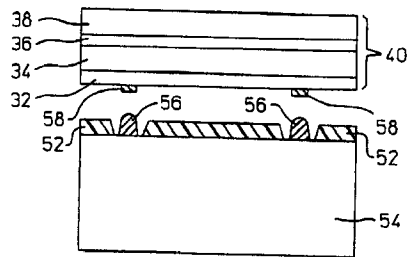
도면 8



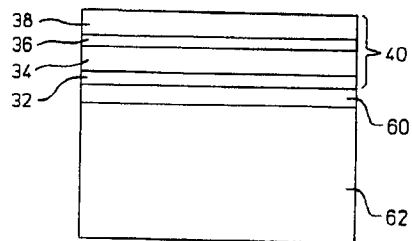
도면 9



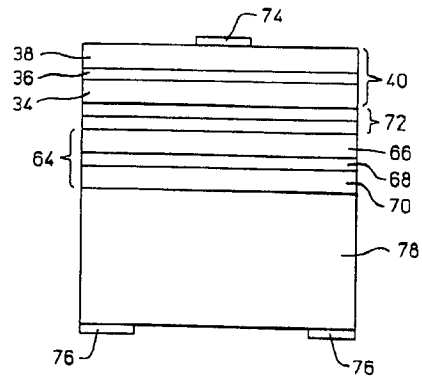
도면 10



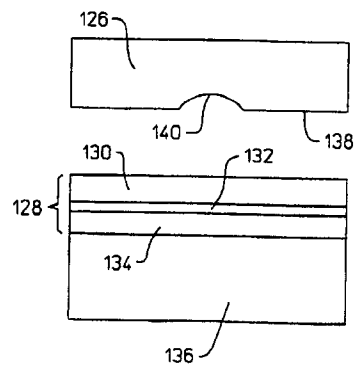
도면 11



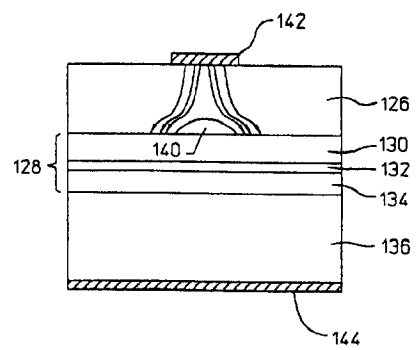
도면 12



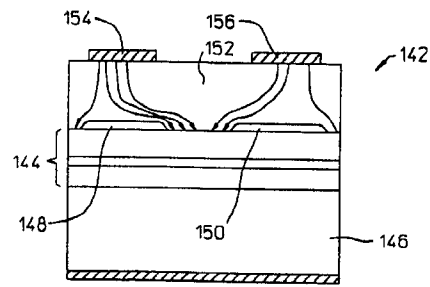
도면 13



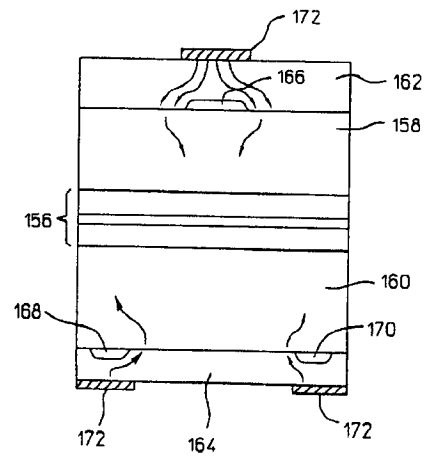
도면 14



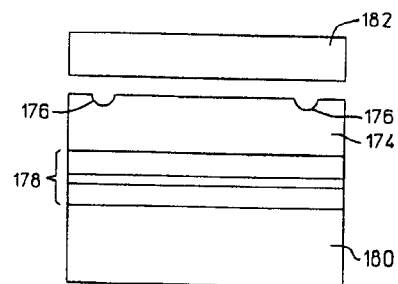
도면 15



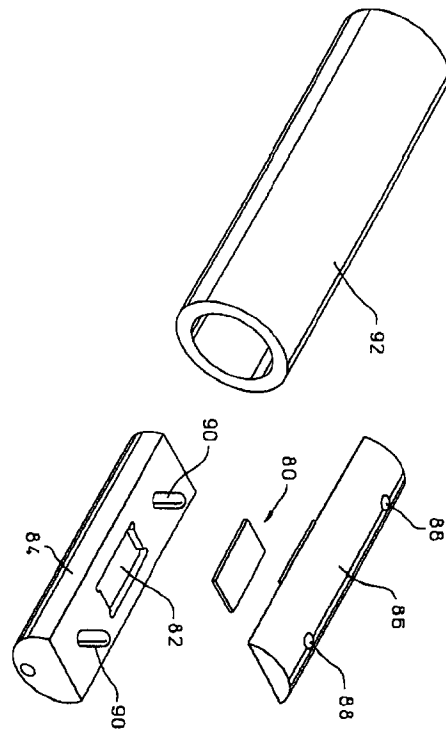
도면 16



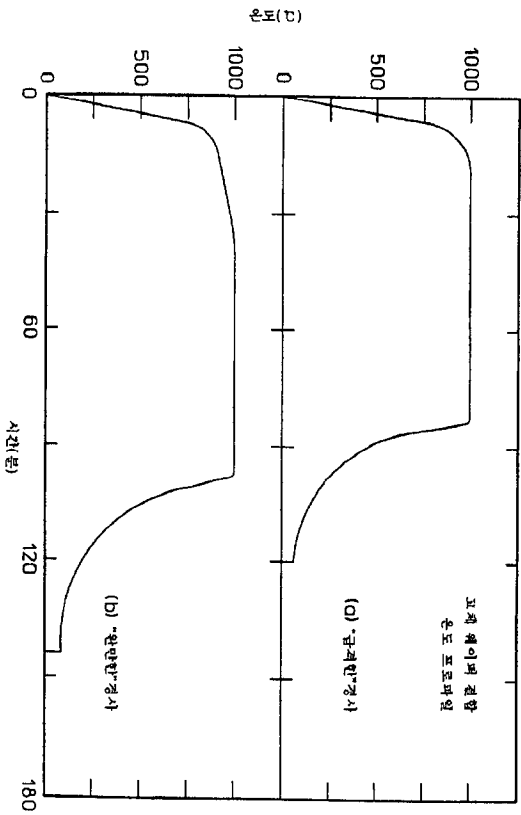
도면 17



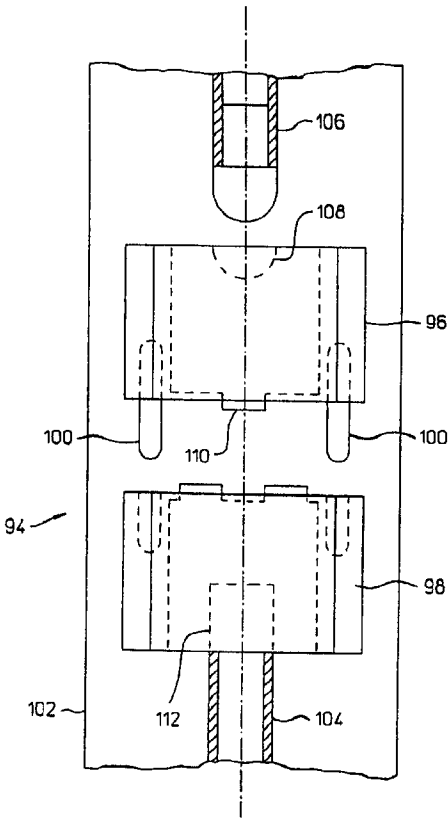
도면 18



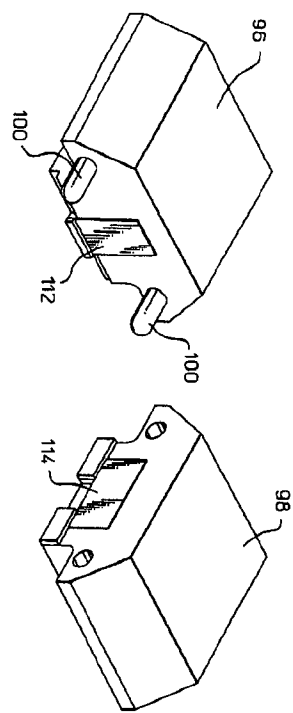
도면 19



도면 20



도면 21



도면 22

